

MOON  
BSKBCLP  
703-203-8000  
January 15, 2004  
0630-1946P  
1 of 1



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0003639  
Application Number

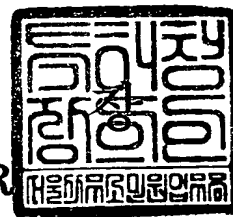
출원 년 월 일 : 2003년 01월 20일  
Date of Application JAN 20, 2003

출원인 : 엘지전자 주식회사  
Applicant(s) LG Electronics Inc.



2003 년 12 월 06 일

특 허 청  
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.01.20
【국제특허분류】	H03F 3/00
【발명의 명칭】	연산증폭기
【발명의 영문명칭】	Operational amplifier
【출원인】	
【명칭】	엘지전자주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	정종옥
【대리인코드】	9-2001-000008-4
【포괄위임등록번호】	2002-027607-6
【대리인】	
【성명】	조담
【대리인코드】	9-1998-000546-2
【포괄위임등록번호】	2002-027605-1
【발명자】	
【성명의 국문표기】	문홍식
【성명의 영문표기】	MOON, HONG SHIK
【주민등록번호】	701108-1029617
【우편번호】	137-950
【주소】	서울특별시 서초구 잠원동 신반포한신아파트10차 316동 602호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 정종옥 (인) 대리인 조담 (인)

【수수료】

【기본출원료】 17 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 5 항 269,000 원

【합계】 298,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

대용량의 용량성 부하를 고속으로 구동시킬 수 있는 아날로그 출력 버퍼회로에 사용이 가능하고, 채널간의 오프셋을 줄인다.

비반전 및 반전 입력단자로 입력되는 차동 입력신호를 증폭하여 부하로 출력하고 채널간의 오프셋을 감소시키는 증폭부와, 증폭부의 출력신호에 따라 부하로 전류를 충전 및 방전시키는 슬루 인헨스먼트부로 이루어지고, 증폭부는, 반전 입력단자 및 비반전 입력단자의 신호를 차동 증폭하는 제 1 차동 증폭기와, 제 1 차동 증폭기의 출력신호에 대칭되는 신호를 발생하고 발생한 대칭신호와 차동 증폭기의 출력신호를 차동 증폭하는 대칭 증폭기와, 대칭 증폭기의 두 출력단자의 신호를 차동 증폭하여 출력단자로 출력하는 증폭신호 출력부로 이루어지며, 슬루 인헨스먼트부는, 제 1 차동 증폭기 및 대칭 증폭기의 출력신호에 따라 방전전류 보상신호를 발생하는 방전 보상부와, 제 1 차동 증폭기의 반전 출력신호에 따라 충전전류 보상신호를 발생하는 충전 보상부와, 방전 보상부의 방전전류 보상신호에 따라 증폭부의 출력단자의 충전전류를 방전시키고 충전 보상부의 충전전류 보상신호에 따라 증폭부의 출력단자로 충전전류를 공급하는 방전/충전 구동부로 이루어진다.

## 【대표도】

도 1

## 【색인어】

연산증폭기, 출력버퍼, 슬루 인헨스먼트, 슬루율, 오프셋, 고속구동

**【명세서】****【발명의 명칭】**

연산증폭기{Operational amplifier}

**【도면의 간단한 설명】**

도 1은 본 발명의 연산증폭기의 구성을 보인 상세 회로도이다.

\* 도면의 주요 부분에 대한 부호의 설명 \*

100 : 증폭부	110 : 제 1 차동 증폭기
120 : 대칭 증폭기	121 : 입력 대칭부
123 : 제 2 차동 증폭기	130 : 증폭신호 출력부
140 : 보상부	200 : 슬루 인핸스먼트부
210 : 방전 보상부	220 : 충전 보상부
230 : 방전/충전 구동부	

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 입력되는 소정의 신호를 증폭하는 연산증폭기에 관한 것으로 특히 대용량의 용량성 부하를 고속으로 구동시킬 수 있는 아날로그 출력 버퍼회로로 사용할 수 있고, 복수의 아날로그 출력 버퍼회로를 하나의 집적소자로 집적시킬 경우에 발생할 수 있는 채널간의 오프셋을 줄일 수 있는 연산증폭기에 관한 것이다.

- <10> 일반적으로 LCD(Liquid Crystal Display) 패널을 이용하여 소정의 화상을 재현하는 디스플레이 기기들은 화소에 해당되는 LCD 패널의 픽셀(pixel)들이 원하는 색상으로 발광되도록 하기 위하여 그 색상의 값에 해당되는 각 R, G, B의 그레이 레벨을 각 픽셀로 출력하는 드라이브용 집적소자가 사용되고 있다.
- <11> PWM(Pulse Width Modulation) 방식이 아닌 전압 구동방식으로 LCD 패널을 구동시키는 디스플레이 기기에서의 드라이브용 집적소자는 출력 채널에 연결된 LCD 패널의 각각의 픽셀들을 R, G, B에 해당하는 그레이 레벨로 동작(settle)시킨다.
- <12> LCD를 사용하는 디스플레이 기기들 중에서 같이 해상도(resolution)에 해당되는 만큼의 각각의 픽셀마다 하나의 드라이브 채널을 점유하는 LCD 모니터나 LCD 텔레비전 수상기 등의 디스플레이 기기들은 드라이브용 집적소자의 빠른 속도를 요구하지 않으므로 드라이브 집적소자를 설계 및 제조하는데 큰 어려움이 없다.
- <13> 그러나 프로젝션 디스플레이 기기는 한정된 입력 채널들을 빠른 속도로 멀티플렉싱하여 LCD 패널의 1라인의 해상도에 해당하는 픽셀들을 구동하고 있다. 그러므로 프로젝션 디스플레이 기기에 사용되는 드라이브 집적소자들은, LCD 모니터나 LCD 텔레비전 수상기 등에 사용되는 드라이브 집적소자들의 속도보다 채널들을 빠른 속도로 멀티플렉싱하는 값 이상의 속도가 요구된다.
- <14> 또한 프로젝션 디스플레이 기기에 사용되는 드라이브용 집적소자의 출력전압 범위는 통상적으로 최저전압을 기준으로 하여 약 10V 이상 15V 정도의 고전압 전원을 요구한다.
- <15> 이러한 모든 조건들을 만족하기 위해서는 드라이브용 집적소자들을 제조 공정이 빠른 접합형 트랜지스터로 구현하는 것이 유리하므로 통상적으로 높은 출력전

압의 범위를 만족하면서 빠른 속도로 구동하는 접합형 트랜지스터의 공정으로 드라이브용 집적소자를 제조 및 사용하고 있다.

- <16> 그러나 상기 접합형 트랜지스터의 공정은 비용이 많이 들고, 현재 널리 상용화되고 있는 CMOS 공정을 이용하는 다른 집적소자들과 함께 집적화하는데 많은 어려움을 주었다.

【발명이 이루고자 하는 기술적 과제】

- <17> 본 발명의 목적은 CMOS 공정을 이용하여 대용량의 용량성 부하를 고속으로 구동시킬 수 있는 연산증폭기를 제공하는데 있다.
- <18> 본 발명의 다른 목적은 다중 출력(channel)을 갖는 집적소자에 적용할 경우에 채널 간의 오프셋을 줄일 수 있는 연산증폭기를 제공하는데 있다.
- <19> 본 발명의 또 다른 목적은 멀티플렉싱 방식을 이용하는 LCD 패널 모듈에서 요구하는 드라이브용 집적소자를 CMOS 방식으로 제조할 수 있는 연산증폭기를 제공하는데 있다.
- <20> 이러한 목적을 가지는 본 발명의 연산증폭기는, 비반전 및 반전 입력단자로 입력되는 차동 입력신호를 증폭하고 채널간의 오프셋을 감소시키는 증폭부와, 상기 증폭부의 출력신호의 슬루율을 상승시켜 부하에 따른 속도로 충전 및 방전시키는 슬루 인핸스먼트부로 이루어진다.
- <21> 상기 증폭부는, 비반전 및 반전 입력단자로 입력되는 차동 입력신호를 증폭하여 부하로 출력하고 채널간의 오프셋을 감소시키는 증폭부와, 상기 증폭부의 출력신호에 따라 상기 부하로 전류를 충전 및 방전시키는 슬루 인핸스먼트부로 구성된다.
- <22> 상기 증폭부는, 반전 입력단자 및 비반전 입력단자의 신호를 차동 증폭하는 제 1 차동 증폭기와, 상기 차동 증폭기의 출력신호에 대칭되는 신호를 발생하고 발생한 대칭신호와 상기 차동 증폭기의 출력신호를 차동 증폭하는 대칭 증폭기와, 상기 대칭 증폭기의 두 출력단자의

신호를 차동 증폭하여 출력단자로 출력하는 증폭신호 출력부를 구비하고, 상기 제 1 차동 증폭기의 비반전 출력단자와 상기 증폭신호 출력부의 출력단자 사이에는, 상기 증폭부의 안정성을 보상하기 위한 보상부가 구비된다.

<23>       상기 대칭 증폭기는, 상기 반전 입력단자 및 비반전 입력단자로 입력되는 신호의 공통전압을 증폭하여 상기 제 1 차동 증폭기의 출력신호에 대칭되는 신호를 발생하는 입력 대칭부와, 상기 차동 증폭기의 출력신호와 상기 입력 대칭부의 출력신호를 차동 증폭하는 제 2 차동 증폭기를 구비한다.

<24>       그리고 상기 슬루 인헨스먼트부는, 상기 제 1 차동 증폭기 및 상기 대칭 증폭기의 출력신호에 따라 방전전류 보상신호를 발생하는 방전 보상부와, 상기 제 1 차동 증폭기의 반전 출력신호에 따라 충전전류 보상신호를 발생하는 충전 보상부와, 상기 방전 보상부의 방전전류 보상신호에 따라 상기 증폭부의 출력단자의 충전전류를 방전시키고 상기 충전 보상부의 충전전류 보상신호에 따라 상기 증폭부의 출력단자로 충전전류를 공급하는 방전/충전 구동부로 구성됨을 특징으로 한다.

#### 【발명의 구성 및 작용】

<25>       이하, 첨부된 도면을 참조하여 본 발명의 연산증폭기를 상세히 설명한다.

<26>       도 1은 본 발명의 연산증폭기의 구성을 보인 상세 회로도이다. 이에 도시된 바와 같이 본 발명의 연산증폭기는, 반전 입력단자(INn) 및 비반전 입력단자(INp)로 입력되는 차동 입력신호를 증폭하고 채널간의 오프셋을 감소시키는 증폭부(100)와, 상기 증폭부(100)의 출력신호의 슬루(slew)율을 상승시켜 대용량의 캐패시터 부하에 따른 속도로 충전 및 방전시키는 슬루 인헨스먼트부(200)로 이루어진다.



- <27>      상기 증폭부(100)는, 제 1 차동 증폭기(110), 대칭 증폭기(120), 증폭신호 출력부(130) 및 보상부(140)를 구비한다.
- <28>      상기 제 1 차동 증폭기(110)는, 피모스 트랜지스터(P1~P3) 및 엔모스 트랜지스터(N1, N2)를 구비하여 반전 입력단자(INn) 및 비반전 입력단자(INp)의 신호를 차동 증폭한다.
- <29>      상기 대칭 증폭기(120)는, 상기 제 1 차동 증폭기(110)의 출력신호에 대칭되는 신호를 발생하고 발생한 대칭신호와 상기 제 1 차동 증폭기(110)의 출력신호를 차동 증폭하는 것으로 피모스 트랜지스터(P4, P5) 및 엔모스 트랜지스터(N3)를 구비하고 상기 반전 입력단자(INn) 및 비반전 입력단자(INp)의 신호의 공통(common) 전압인 기준전압(Vref)을 증폭하여 제 1 차동 증폭기(110)의 출력신호에 대칭되는 신호를 발생하는 입력 대칭부(121)와, 피모스 트랜지스터(P6~P8) 및 엔모스 트랜지스터(N4, N5)를 구비하여 상기 제 1 차동 증폭기(110)의 출력신호와 상기 입력 대칭부(121)의 출력신호를 차동 증폭하는 제 2 차동 증폭기(123)로 이루어진다.
- <30>      상기 증폭신호 출력부(130)는, 피모스 트랜지스터(P9, P10) 및 엔모스 트랜지스터(N6, N7)를 구비하여 상기 대칭 증폭기(120)의 제 2 차동 증폭기(123)의 두 출력단자의 신호를 차동 증폭하여 출력단자(OUT)로 출력한다.
- <31>      상기 보상부(140)는 상기 제 1 차동 증폭기(110)의 출력단자와 상기 출력단자(OUT)의 사이에 보상용 저항(R) 및 보상용 콘덴서(C)가 구비된다.
- <32>      상기 슬루 인헨스먼트부(200)는, 방전 보상부(210), 충전 보상부(220) 및 방전/충전 구동부(230)를 구비한다.

- <33>        상기 방전 보상부(210)는, 피모스 트랜지스터(P11, P12) 및 엔모스 트랜지스터(N8, N9)를 구비하고, 상기 제 1 차동 증폭기(110) 및 상기 대칭 증폭기(120)의 출력신호에 따라 방전 전류 보상신호를 발생한다.
- <34>        상기 충전 보상부(220)는, 피모스 트랜지스터(P13) 및 엔모스 트랜지스터(N10)를 구비하고, 상기 제 1 차동 증폭기(110)의 반전 출력신호에 따라 충전전류 보상신호를 발생한다.
- <35>        상기 방전/충전 구동부(230)는, 피모스 트랜지스터(P14) 및 엔모스 트랜지스터(N11)를 구비하여 상기 방전 보상부(210)의 방전전류 보상신호에 따라 상기 출력단자(OUT)의 충전전류를 방전시키고 상기 충전 보상부(220)의 충전전류 보상신호에 따라 상기 출력단자(OUT)로 충전전류를 공급한다.
- <36>        도면의 설명중 미설명 부호 Bp는 바이어스 기준전압이고,  $V_{DD}$  및  $V_{SS}$ 는 비반전 및 반전 동작전원이다.
- <37>        이와 같이 구성된 본 발명의 연산증폭기는 비반전 및 반전 동작전원( $V_{DD}$ ,  $V_{SS}$ )이 인가되고, 바이어스 기준전압(Bp)이 인가된 상태에서 반전 입력단자(INn) 및 비반전 입력단자(INp)로 입력되는 차동 입력신호를 증폭부(100)의 제 1 차동증폭기(110)의 피모스 트랜지스터(P2, P3)가 차동 증폭하고, 차동 증폭한 비반전 출력신호는 대칭 증폭기(120)의 제 2 차동증폭기(123)의 피모스 트랜지스터(P7)로 입력된다.
- <38>        그리고 대칭 증폭기(120)의 입력 대칭부(121)는 기준전압( $V_{ref}$ )을 증폭하여 제 1 차동 증폭기(110)의 출력신호에 대칭되는 신호를 발생하고, 그 발생한 대칭신호와 상기 제 1 차동증폭기(110)의 비반전 출력신호를 제 2 차동 증폭기(123)가 차동 증폭하게 된다.

- <39>       상기 제 2 차동 증폭기(123)의 비반전 출력신호 및 반전 출력신호는 증폭신호 출력부(130)의 엔모스 트랜지스터(N6, N7)로 각기 입력되어 차동 증폭되고, 출력단자(OUT)로 채널간의 오프셋을 감소시킨 신호를 출력하게 된다.
- <40>       여기서, 본 발명의 증폭부(100)가 오프셋을 감소시키는 원리를 상세히 설명한다.
- <41>       일반적으로 CMOS 차동 입력을 갖는 연산증폭기의 오프셋은 주로 비반전 입력단자 및 반전 입력단자가 게이트 측에 연결된 두 차동입력 트랜지스터의 매칭 특성차이(random offset)와 차동입력 트랜지스터의 드레인 전압의 차이(Systematic offset)로 인하여 발생한다. 통상의 경우에 연산증폭기가 충분한 이득을 얻도록 하기 위하여 차동입력 트랜지스터의 드레인에 연결되는 부하는 액티브 부하의 형태로 하나의 입력 트랜지스터는 게이트와 드레인이 연결되고 다른 하나의 입력 트랜지스터는 전류 미러로 연결되어 게이트만이 공통으로 연결된 형태를 구성된다. 이러한 경우에 차동입력 트랜지스터의 드레인 전압이 평형(balance)되지 않고, 또한 게이트와 드레인이 연결되지 않은 입력 트랜지스터의 드레인의 출력저항이 높으므로 높은 증폭 이득을 얻기 위하여 입력 트랜지스터가 출력단에 직접 연결되고, 이로 인하여 입력 오프셋이 증폭되어 출력단으로 출력된다.
- <42>       그러므로 본 발명에서는 제 1 차동 증폭기(110)의 출력신호를 증폭신호 출력부(130)로 직접 입력시키지 않고, 제 1 차동 증폭기(110)와 증폭신호 출력부(130)의 사이에, 게이트 및 드레인을 공통 연결하여 다이오드로 동작하는 엔모스 트랜지스터(N4, N5)를 구비한 대칭 증폭기(120)의 제 2 차동 증폭기(123)를 개재하여 제 1 차동 증폭기(110)의 출력신호를 제 2 차동 증폭기(123)에 입력시키고, 그 제 2 차동 증폭기(123)의 출력신호로 증폭신호 출력부(130)을 동작시킴으로써 차동입력 트랜지스터의 드레인의 전압차에서 주로 발생하는 오프셋을 감소시키고, 충분한 이득을 얻을 수 있도록 하였다.

- <43> 또한 본 발명은 대칭 증폭기(120)에, 상기 제 1 차동 증폭기(110)의 1/2의 구성 즉, 피모스 트랜지스터(P4, P5) 및 엔모스 트랜지스터(N3)로 이루어지는 입력 대칭부(121)를 구비하고, 그 입력 대칭부(121)에, 제 1 차동 증폭기(110)의 입력신호의 공통전압을 기준전압(Vref)으로 입력시킴으로써 상기 제 2 차동 증폭기(123)의 두 입력신호가 완전하게 대칭을 이루게 된다.
- <44> 그리고 제 2 차동 증폭기(123)의 액티브 부하 즉, 다이오드로 동작하는 엔모스 트랜지스터(N4, N5)가 증폭신호 출력부(130)의 입력 트랜지스터(N6, N7)에 평형되게 입력되는 것으로서 증폭신호 출력부(130)은 평형 구동되어 오프셋을 감소시키게 된다.
- <45> 증폭부(100)의 출력단자(OUT)에 연결되는 부하는 약 100pF 이상의 용량성 부하로서 본 발명의 연산 증폭기의 안정성(stability)은 출력단자(OUT)에 연결된 부하에 의해 결정된다, 그러므로 본 발명에서는 임피던스가 높은 제 1 차동 증폭기(110)의 출력단자와 출력단자(OUT)의 사이에 보상용 저항(R) 및 콘덴서(C)가 직렬 접속된 보상부(140)를 구비하여 안정성을 보상한다.
- <46> 한편, 대용량의 용량성 부하를 약 10V 이상의 전압으로 고속 구동시키기 위해서는 높은 출력전류가 요구된다. 일반적인 2단 구조의 연산증폭기가 높은 전류를 출력하도록 할 경우에 전력소모가 매우 높아 적용하기가 어려움은 물론 전류 용량이 높은 출력 트랜지스터를 사용해야 되므로 연산증폭기의 소신호 특성인 교류특성이 나빠져 적용하기 곤란하다.
- <47> 그러므로 본 발명에서는 상기 증폭부(100)가 오프셋을 감소시키도록 하고, 출력단자(OUT)에 별도의 슬루 인핸스먼트부(200)를 구비하여 증폭부(100)의 출력전류의 슬루율을 향상시키게 하였다.

- <48> 일반적으로 연산증폭기의 세틀링 시간(settling time)은 슬루율로 트랜지션(transient) 파형의 기울기에 해당하는 부분과, 연산증폭기의 교류 특성에 따른 일반적인 소신호의 세틀링 시간(settling time)의 합으로 결정된다.
- <49> 상기 소신호의 세틀링 시간은 연산증폭기의 교류특성에 의해 좌우되나, 출력신호의 범위가 크고 구동해야 하는 부하의 용량이 클 경우에 슬루율이 전체 세틀링 시간을 좌우한다.
- <50> 본 발명의 슬루 인핸스먼트부(200)는, 방전/충전 구동부(230)의 피모스 트랜지스터(P14) 및 엔모스 트랜지스터(N11)가 출력단자(OUT)에 연결되는 용량성 부하의 구동을 보강하게 된다.
- <51> 상기 피모스 트랜지스터(P14)는 충전 보상부(220)의 피모스 트랜지스터(P13) 및 엔모스 트랜지스터(N10)가 제어하고, 상기 엔모스 트랜지스터(N11)는 방전 보상부(210)의 피모스 트랜지스터(P11, 012) 및 엔모스 트랜지스터(N8, N9)가 제어한다.
- <52> 상기 충전 보상부(220)는, 게이트에 바이어스 기준전압(Bp)이 인가되는 피모스 트랜지스터(P13)가 일정 전류를 제공하는 전류원으로 동작하고, 엔모스 트랜지스터(N10)의 게이트에는 상기 제 1 차동 증폭기(110)의 반전 출력단자에 연결되어 있는 것으로서 피모스 트랜지스터(P13)와 엔모스 트랜지스터(N10)의 접속점 전압은 피모스 트랜지스터(P13)와 엔모스 트랜지스터(N10)로 각기 흐르는 전류의 차이에 따라 결정된다.
- <53> 본 발명의 연산증폭기를 출력 버퍼로 사용할 경우에 증폭부(100)의 출력단자(OUT)가 반전 입력단자(INn)에 접속된다. 슬루의 영향은 출력신호가 높은 레벨로 스윙(swing)할 때이므로 정상상태 즉, 반전 입력단자(INn)와 비반전 입력단자(INp)의 전압 차가 작을 경우에 피모스 트랜지스터(P13)로 흐르는 전류가 엔모스 트랜지스터(N10)로 흐르는 전류보다 매우 많이 된다. 그러면, 피모스 트랜지스터(P13)와 엔모스 트랜지스터(N10)의 접속점 전압은 비반전 동작전원

( $V_{DD}$ )에 근접되는 레벨로 되고, 방전/충전 구동부(230)의 피모스 트랜지스터(P14)는 차단상태로 된다.

<54> 그리고 상기와는 반대로 반전 입력단자(INn)와 비반전 입력단자(INp)의 전압 차가 클 경우에는 제 1 차동증폭기(110)의 반전 출력단자의 전압이 순간적으로 높아지게 되고, 이로 인하여 충전 보상부(220)의 엔모스 트랜지스터(N10)가 도통 상태로 되면서 높은 전류가 흐르게 되므로 피모스 트랜지스터(P13)와 엔모스 트랜지스터(N10)의 접속점 전압이 반전 동작전원( $V_{SS}$ )의 레벨로 낮아지게 된다.

<55> 그러면, 방전/충전 구동부(230)의 피모스 트랜지스터(P14)가 도통상태로 되고, 비반전 동작전원( $V_{DD}$ )의 피모스 트랜지스터(P14)를 통해 출력단자(OUT)로 출력되어 그 출력단자(OUT)에 접속되는 용량성 부하에 빠른 속도로 충전된다.

<56> 이와 같이 출력단자(OUT)의 용량성 부하에 충전됨에 따라 출력단자(OUT)의 전압이 상승하여 비반전 입력단자(INp)와의 전압 차가 줄어들게 되고, 피모스 트랜지스터(P13)와 엔모스 트랜지스터(N10)의 접속점 전압이 다시 낮아지면서 피모스 트랜지스터(P14)가 차단상태로 되며, 증폭부(100)의 소신호 특성(교류 특성)에 따라 최종적으로 세틀링된다.

<57> 그리고 방전 보상부(210)는, 엔모스 트랜지스터(N9)가 일정 전류를 제공하는 전류원으로 동작하고, 엔모스 트랜지스터(N8)의 게이트는 제 1 차동 증폭기(110)의 비반전 출력단자에 연결되어 전류미러로 동작하는 피모스 트랜지스터(P11, P12)에 의해 엔모스 트랜지스터(N9)로 흐르는 전류와 비교되는 것으로 엔모스 트랜지스터(N9)의 게이트에는 입력 대칭부(121)의 출력전압을 인가한다.

- <58> 반전 입력단자(INn)와 비반전 입력단자(INp)의 전압 차가 작을 경우에 엔모스 트랜지스터(N9)로 흐르는 전류가 피모스 트랜지스터(P12)로 흐르는 전류보다 많으므로 엔모스 트랜지스터(N11)의 게이트에는 낮은 전압이 인가되어 차단상태로 된다. 그러나 비반전 입력단자(INp)의 입력전압이 반전 입력단자(INn)의 입력전압보다 매우 낮아지게 되면,
- <59> 엔모스 트랜지스터(N8)의 게이트 전압이 상승하게 되고, 이로 인하여 피모스 트랜지스터(P12)로 흐르는 전류가 급속하게 증가하게 되므로 엔모스 트랜지스터(N11)의 게이트에 매우 높은 전압이 인가되어 도통상태로 되고, 출력단자(OUT)의 용량성 부하에 충전되어 있던 전류가 엔모스 트랜지스터(N11)를 통해 빠른 속도로 방전된다.
- <60> 이와 같이 슬루율 인핸스먼트부(200)는 출력단자(OUT)에 접속되는 대용량의 용량성 부하에 빠른 속도로 전류를 충전 및 방전시킴으로써 고속 구동시킬 수 있다.
- <61> 한편, 상기에서는 본 발명을 특정의 바람직한 실시 예에 관련하여 도시하고 설명하였지만, 이하의 특허청구범위에 의해 마련되는 본 발명의 정신이나 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변화될 수 있다는 것을 당 업계에서 통상의 지식을 가진 자는 용이하게 알 수 있다.

#### 【발명의 효과】

- <62> 이상에서 상세히 설명한 바와 같이 본 발명은 대용량의 용량성 부하를 빠른 속도로 구동시킬 수 있는 것으로 CMOS 공정으로 제조하여 제조 비용을 절감할 수 있음은 물론 CMOS로 제조되는 다른 집적소자와 함께 용이하게 집적할 수 있으며, 또한 다중 채널을 요구하는 집적소자에 적용할 경우에 채널간의 오프셋을 줄일 수 있다.

**【특허청구범위】****【청구항 1】**

비반전 및 반전 입력단자로 입력되는 차동 입력신호를 증폭하여 부하로 출력하고 채널간의 오프셋을 감소시키는 증폭부; 및

상기 증폭부의 출력신호에 따라 상기 부하로 전류를 충전 및 방전시키는 슬루 인헨스먼트부로 구성된 연산 증폭기.

**【청구항 2】**

제 1 항에 있어서, 상기 증폭부는;

반전 입력단자 및 비반전 입력단자의 신호를 차동 증폭하는 제 1 차동 증폭기;

상기 차동 증폭기의 출력신호에 대칭되는 신호를 발생하고 발생한 대칭신호와 상기 차동 증폭기의 출력신호를 차동 증폭하는 대칭 증폭기; 및

상기 대칭 증폭기의 두 출력단자의 신호를 차동 증폭하여 출력단자로 출력하는 증폭신호 출력부로 구성됨을 특징으로 하는 연산증폭기.

**【청구항 3】**

제 2 항에 있어서, 상기 대칭 증폭기는;

상기 반전 입력단자 및 비반전 입력단자로 입력되는 신호의 공통전압을 증폭하여 상기 제 1 차동 증폭기의 출력신호에 대칭되는 신호를 발생하는 입력 대칭부; 및

상기 차동 증폭기의 출력신호와 상기 입력 대칭부의 출력신호를 차동 증폭하는 제 2 차동 증폭기로 구성됨을 특징으로 하는 연산증폭기.



**【청구항 4】**

제 2 항에 있어서, 상기 제 1 차동 증폭기의 비반전 출력단자와 상기 증폭신호 출력부의 출력단자 사이에;

상기 증폭부의 안정성을 보상하기 위한 보상부가 더 포함되는 것을 특징으로 하는 연산 증폭기.

**【청구항 5】**

제 1 항에 있어서, 상기 슬루 인헨스먼트부는;

상기 제 1 차동 증폭기 및 상기 대칭 증폭기의 출력신호에 따라 방전전류 보상신호를 발생하는 방전 보상부;

상기 제 1 차동 증폭기의 반전 출력신호에 따라 충전전류 보상신호를 발생하는 충전 보상부; 및

상기 방전 보상부의 방전전류 보상신호에 따라 상기 증폭부의 출력단자의 충전전류를 방전시키고 상기 충전 보상부의 충전전류 보상신호에 따라 상기 증폭부의 출력단자로 충전전류를 공급하는 방전/충전 구동부로 구성됨을 특징으로 하는 연산증폭기.

【도면】

【도 1】

